

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

6252588

Basic Patent (No,Kind,Date): EP 239958 A2 19871007 <No. of Patents: 008>

THIN FILM SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THE SAME (English)

Patent Assignee: HITACHI LTD (JP)

Author(Inventor): KONISHI NOBUTAKE; HOSOKAWA YOSHIKAZU; MIMURA
AKIO; SUZUKI TAKAYA; OHWADA JUN-ICHI; KAWAKAMI HIDEAKI; MIYATA KENJI

Designated States : (National) CH; DE; ES; FR; GB; IT; LI; NL; SE

IPC: *H01L-027/13; G02F-001/133

Derwent WPI Acc No: *C 87-279325;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
DE 3786031	C0	19930708	EP 87104622	A	19870327
DE 3786031	T2	19940105	EP 87104622	A	19870327
EP 239958	A2	19871007	EP 87104622	A	19870327 (BASIC)
EP 239958	A3	19891102	EP 87104622	A	19870327
EP 239958	B1	19930602	EP 87104622	A	19870327
JP 62229873	A2	19871008	JP 8669818	A	19860329
JP 93077303	B4	19931026	JP 8669818	A	19860329
US 4942441	A	19900717	US 30623	A	19870327

Priority Data (No,Kind,Date):

JP 8669818 A 19860329

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02312973 **Image available**

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 62-229873 [JP 62229873 A]

PUBLISHED: October 08, 1987 (19871008)

INVENTOR(s): KONISHI NOBUTAKE

HOSOKAWA YOSHIKAZU

MIMURA AKIO

SUZUKI TAKAYA

OWADA JUNICHI

KAWAKAMI HIDEAKI

MIYATA KENJI

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 61-069818 [JP 8669818]

FILED: March 29, 1986 (19860329)

INTL CLASS: [4] H01L-027/12; H01L-027/08; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 594, Vol. 12, No. 99, Pg. 45, March
31, 1988 (19880331)

ABSTRACT

PURPOSE: To decrease the number of photolithography processes and to implement costdown, by simultaneously forming drains and sources for an N-MOS. TFT and a P-MOS. TFT for forming a C-MOS.

CONSTITUTION: On a glass substrate 1, polysilicon island regions 2 and 20 comprising I layer or an N(sup -) layer are formed. A drain electrode 12 and a source electrode 13 are formed on the side of an N-MOS element comprising polysilicon. An SiO(sub 2) film and a polysilicon film are provided, and etching is performed. Gate insulating films 14 and 140 and gate electrodes 15 and 150 for N-MOS and P-MOS are formed. A platinum film 16 is heat-treated. Silicide layers 17, 18 and 19 on the side of the N-MOS are in ohmic contact with electrodes 12, 13 and 15. A silicide layer 170 in the drain region of the P-MOS and a silicide layer 180 in the source region thereof form a Schottky junction with the polysilicon region 20. A silicide layer 190 is in ohmic contact with the electrode 150. Then, a PSG film 9 and a wiring pattern 10 are formed.

刊行物 7

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-229873

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月8日

H 01 L 27/12
27/08
29/78

1 0 2

7514-5F
7735-5F
8422-5F

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 薄膜半導体装置の製造方法

⑮ 特 願 昭61-69818

⑯ 出 願 昭61(1986)3月29日

⑰ 発明者	小 西	信 武	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑰ 発明者	細 川	義 和	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑰ 発明者	三 村	秋 男	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑰ 発明者	鈴 木	誉 也	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑰ 発明者	大 和 田	淳 一	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑰ 発明者	川 上	英 昭	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑰ 発明者	宮 田	健 治	日立市久慈町4026番地	株式会社日立製作所日立研究所内
⑱ 出 願 人	株式会社日立製作所			東京都千代田区神田駿河台4丁目6番地
⑲ 代 理 人	弁理士 武 頭次郎			外1名

明 細 書

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

1. 同一基体上に形成されたC-MOS構成の薄膜電界効果トランジスタからなる薄膜半導体装置の製造方法において、上記基体上に互に対をなす複数の真性半導体領域、或いは低濃度n⁺領域の少くとも一方として形成された領域をそれぞれ基板部分とし、これら対をなす基板部分の一方にだけn⁺層からなるソース領域とドレイン領域とを形成させる工程と、これら一方の基板部分を含む全ての基板部分の表面に共通に金属層を形成する工程の少くとも2工程を設け、該金属層を上記一方の基板部分では上記n⁺層からなるソース領域とドレイン領域に対するコンタクト層として、そして上記一方の基板部分と対をなす他方の基板部分ではショットヤ接合によるソース領域とドレイン領域としてそれぞれ機能するように構成したことを特徴とする薄膜半

導体装置の製造方法。

2. 特許請求の範囲第1項において、上記金属層が金属シリサイド層から成り、かつ、この層の厚さを上記n⁺ソース領域及びn⁺ドレイン領域の厚さより薄く形成したことを特徴とする薄膜半導体装置の製造方法。

3. 特許請求の範囲第1項において、上記基板部分が多結晶シリコンで形成されていることを特徴とする薄膜半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、C-MOS構造をもつた薄膜電界効果トランジスタの製造方法に係り、特にアクティブマトリクス方式の液晶ディスプレイパネルに好適な薄膜半導体装置の製造方法に関する。

〔従来の技術〕

近年、小型のテレビジョン受像機、或いは壁掛け型のテレビジョン受像機などのディスプレイ装置として液晶ディスプレイパネルが注目を集めるようになってきているが、この液晶ディスプレイ

パネルとしては、 p -MOS又は n -MOSの薄膜電界効果トランジスタ(TFTという)を液晶駆動用スイッチング素子として組込んだ、いわゆるアクティブマトリクス(以下、AMXという)方式のものが、主として使用される。

ところで、このような液晶ディスプレイパネル(以下、LCDパネルという)の駆動には、シフトレジスタ、マトリクス回路、インバータ回路などの各種の周辺回路を必要とするが、これらの周辺回路をLCDパネルに内蔵することができれば、大幅なコストダウンが可能になる。

しかして、このような周辺回路の一部には、その構成にC-MOS構造のTFTを必要とし、このため、 p -MOS・TFTと n -MOS・TFTを同時に作り込む必要があり、従つて、これをAMX方式のLCDパネルに内蔵させようとする、その製造プロセスが多くなり、コストアップの大きな要因となつてしまう。つまり、AMX方式のLCDパネルに必要なスイッチング素子としては、上述のように p -MOS或いは n -MOSの一方

のTFTだけでよいのかかわらず、これに上記の周辺回路を内蔵させるためには、 p -MOSと n -MOSの両方のTFTの組込みが必要になつて、ホトマスク数とプロセス数の増加が著しくなつてしまうのである。

ここで、上記した周辺回路に必要なC-MOS・TFTについて説明すると、これは、例えば第6図に示すようなインバータ回路に使用されるもので、 p と n のMOS・TFTのゲートを共通に接続して入力端子 V_{in} とし、これらのドレインを共通にして出力端子 V_{out} としたものである。

次に、このようなインバータ回路を、ポリシリコン(多結晶シリコンのこと)を用いて実現させたC-MOS・TFTの製造方法の従来例を第7図によつて説明する。

まず、第7図(a)に示すように、絶縁基板1上にポリシリコンを所定の厚さに成長させ、これをホトレジスト膜を用いたエッチングにより島状の一对のポリシリコン領域2、20を形成する。

次に、同図(b)に示すように、将来ゲート絶縁膜

として例えば $Al-Si$ 膜10をスパッタリングして配線パターンを形成する。

ここで、第7図の(j)は、同図(i)の工程を終つたところでの平面図である。なお、これらの図において、符号4'及び40'は、それぞれゲート電極4、40の一部で、リン又はボロンがイオン打込みされた部分を表わしている。

以上のほか、本発明に関連する従来例としては、特開昭58-182871号公報に記載のものを挙げる事ができる。

〔発明が解決しようとする問題点〕

上記従来例のようにして、C-MOS・TFTによるインバータ回路が構築できるが、これに必要なホトマスク数は6枚である。

そこで、これをAMX方式のLCDパネルに内蔵させようとする、LCDパネル自体としては、さらに透明電極の形成を要するから、ホトマスク数が1~2枚追加になる。

上記したように、AMX方式のLCDパネルとしてだけなら、 p 型又は n 型の一方のTFTだけ

となる SiO_2 膜及びゲート電極となるポリシリコンPSiをデポジションした後、同図(c)に示すように、ホトレジスト膜をマスクとしたドライエッチング技術によりゲート領域以外を除去し、ゲート絶縁膜3、30及びゲート電極4、40を形成する。次いで n -MOSを形成するために、同図(d)に示すように、 p -MOS側となる方の領域20だけをホトレジスト膜100で覆つた後、リンをイオン打込みして同図(e)のように、 n^+ 層のドレイン5、ソース6を形成した後、 p -MOS側のホトレジスト膜100を除去する。この後、同図(f)に示すように、今度は n -MOS側となる領域2全体をホトレジスト膜101で覆つた後、ボロンをイオン打込みして同図(g)に示すように、 p^+ 層のドレイン7、ソース8を形成する。この後、ホトレジスト膜101を除去し、イオン打込みされた層5~8を活性化するため500~1000℃で熱処理する。次に、同図(h)に示すように、PSG膜9をウエハ全面にデポジションした後、配線のためのスルホール90を設け、ついで、同図(i)に示すように、配線用金

でよいのであるから、これに従来例のようにしてC-MOS・TFTからなる周辺回路を内蔵させると、ホトマスク数が2〜3枚増え、これによりプロセス数も増加してしまう。

従つて、従来技術では、AMX方式のLCDパネルに周辺回路を内蔵させることによるコストダウンが充分に得られないという問題点があつた。

本発明の目的は、上記従来例の問題点に充分に対処でき、AMX方式のLCDパネルに適用することにより、それに対する周辺回路内蔵に伴うコストダウンが充分に得られるようにした薄膜半導体装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明によれば、上記問題点は、C-MOSを形成すべきn-MOS・TFTとp-MOS・TFTのうち、前者のソース、ドレインの両領域に対してコンタクト膜となるように設けた金属層が、同時に後者に対してはショットや接合によるソースとドレインの両領域の形成にあずかるようにすることにより解決される。

となる n^+ 層11を全面にデポジションする。この n^+ 層11はアモルファスでもポリシリコン層でも良い。次いで、同図(c)に示すように、ホトレジスト膜を用いてn-MOS素子側のドレイン電極12及びソース電極13となる部分だけを残し、その他の部分の n^+ 層11を全面除去する。次に、同図(d)に示すように、将来ゲート絶縁膜となる SiO_2 膜14、140を低圧CVD法、プラズマCVD法あるいは低温熱酸化法などの方法で約1000〜1500Åの厚さに形成した後、ゲート電極となるアモルファスシリコン若しくはポリシリコン膜を高濃度で膜厚約500Åにデポジションし、ホトレジスト膜をマスクとして、ドライエッチング技術により、n-MOS及びp-MOSのゲート領域となる部分だけを残り、それ以外の部分を除去してn-MOS及びp-MOSのゲート絶縁膜14、140及びゲート電極15、150を形成する。次に、同図(e)に示すように、白金膜16を500Å程度スパッタリング法でデポジションした後、酸液あるいは水素中で450〜550℃の熱処理を施して同図(f)に示すよう

〔作用〕

n-MOS・TFT領域におけるコンタクト層の形成と、p-MOS・TFT領域でのソースとドレインの両領域の形成とが同一プロセスとなり、ホトマスク数とプロセス数の増加が抑えられる。

〔実施例〕

以下、本発明による薄膜半導体装置の製造方法について、図示の実施例により詳細に説明する。

第1図は本発明の一実施例を示す説明図で、第7図の従来例と同一もしくは同等の部分には同じ符号を付してある。

この第1図の実施例は、一般的にC-MOSインバータ回路を実現するためのC-MOS・TFTとしてポリシリコンを使つた場合のTFTの縦断面をプロセスの順に示したもので、まず、最初に第1図(a)に示すように、ガラスの基板1にi層又は n^- 層のポリシリコンを成長させた後、ホトレジスト膜を用いてこれを島状にエッチングし、対になった領域2、20を形成する。次に、同図(b)に示すように、将来n-MOSのソース及びドレイン

に、シリサイド層17、18、19、170、180、190を形成する。この場合、ゲート絶縁膜14、140の側面以外はアモルファスシリコンあるいはポリシリコンで覆われているので、これらの部分はすべてシリサイド層になる。このとき、n-MOS側のシリサイド層17、18は、高濃度の n^+ 層からなるドレイン電極12、ソース電極13に接しているもので、これらに対してオーミック接触となり、同様にゲート電極15に対してもアモルファス又はポリシリコン層が高濃度でデポジションされているからオーミック接触となる。一方、p-MOS側のドレイン領域のシリサイド層170及びソース領域のシリサイド層180はポリシリコン領域20がi層または n^- 層であるから、それに対してはショットや接合を形成し、ゲート電極150に対しては15と同様オーミック接触となる。次に、同図(g)に示すように、PSG膜9をウェハ全面にデポジションした後、配線のためのスルホール90を形成する。なお、PSG膜とはリン酸ガラス膜のことである。このあと、同図(h)に示すように、配線用金属

として例えば $Al-Si$ をスパッタリングして配線パターン10を形成する。ここで、同図(i)は上記した図(h)の平面図であり、第2図は第1図(f)の $n-MOS$ 側の斜視図、第3図は同じく第1図(f)の $p-MOS$ 側の斜視図である。

以上の工程で $C-MOS \cdot TFT$ で構成したインバータ回路が構築されるが、これに必要なホトマスク数は5枚である。

従つて、この実施例によれば、従来例と比較してマスク数を1枚減らすことができる。

しかして、このインバータ回路を AMX 方式の LCD パネルに内蔵するときは、 AMX としてはさらに透明電極が必要であるから、ホトマスク数は1~2枚追加される場合があるが、この実施例によれば、 $p-MOS$ 側をショットキ接合としているので、 AMX 用の TFT として $n-MOS \cdot TFT$ を採用するようにしてやれば、 $C-MOS \cdot TFT$ によるインバータ回路を内蔵させたことによるホトマスク数やプロセス数の増加はなく、同じ数にすることができる。

まず、第5図(a)に示すように、ガラスの基板1に Cr 等の金属を全面に蒸着あるいはスパッタリング法で形成した後、ホトエッチングにより一対のゲート電極パターン19、190を形成する。次に、同図(b)に示すように、まず、全面にゲート絶縁膜となる SiO_2 あるいは $SiNx$ 20を形成し、ついで、その上に i 層又は n 層のポリシリコン層 PS 、さらに n^+ 層のアモルファス又はポリシリコン層 PSn^+ を順次形成した後、同図(c)に示すように、ホトレジスト膜を用いて島状にエッチングし、それぞれの層21、210、22、220を形成する。次に、同図(d)に示すように、 $n-MOS$ 素子側のドレイン23及びソース24部分だけを残し、それ以外の部分の n^+ 層をホトレジスト膜を用いて全面除去する。次いで、同図(e)に示すように、 SiO_2 等の絶縁膜を全面につけた後、ドレイン、ソース領域上の SiO_2 を選択的に除去して層25、250を形成する。次に、同図(f)に示すように、その上に白金26を500Å程度つけ、ついで同図(g)に示すように、黒処選してシリサイド層27、28、29、30を形成する。

第4図は以上の実施例により形成した $C-MOS \cdot TFT$ の、 $n-MOS$ と $p-MOS$ のそれぞれの TFT 単体の特性を、ソース・ドレイン間の電圧 V_{DS} を5Vとしたときのドレイン電流 I_D とゲート電圧 V_G の関係を実測した結果である。

この第4図から明らかなように、上記実施例によれば、 $V_G = \pm 20V$ と $V_G = 0$ のときの I_D の比、いわゆるオンオフ電流比は $n-MOS TFT$ でも $p-MOS TFT$ でもいずれも5桁以上あり、液晶を搭載したディスプレイ用 AMX の TFT として十分満足する結果が得られた。

次に、第5図により本発明の他の一実施例について説明する。

上記した第1図の実施例は、いわゆるコプラナー(coplanar)形 TFT と呼ばれるものに適用したものであるのに対して、この第5図の実施例は、ゲート電極と、ドレイン、ソース電極が互に素子の反対の主接面にある、いわゆる逆スタガ(inverted-stagger)形 TFT と呼ばれるものに適用した実施例である。

次に、同図(h)に示すように、 PSG 膜31をウェハ全面にデポジションした後、配線のためのスルホール310を形成し、その後、同図(i)に示すように、配線用金属32として $Al-Si$ 等をスパッタリングしてパターンを形成する。

従つて、この実施例においても、 $n-MOS \cdot TFT$ のドレイン、ソース電極27、28は第1実施例と同様 n^+ 層23、24に対してオーミック接合、 $p-MOS \cdot TFT$ のドレイン、ソース電極29、30も第1実施例と同様 i 層又は n 層210に対してはショットキ接合を形成する。

この実施例によれば、ドレイン、ソース近傍の構造は第1図の実施例と同様であるが、逆スタガ構造のメリットであるゲート絶縁膜20、 i 層のポリシリコン21及び n^+ 層22を連続して形成することが可能であるため、 TFT のオン特性の性能を左右するゲート絶縁膜20とポリシリコン21、210の結晶界面、及びオフ特性の性能を左右するポリシリコン21と n^+ アモルファスあるいは n^+ ポリシリコン23、24との接合形成を良好なものにできるとい

うメリットがある。

なお、以上の実施例では、いずれもシリサイド層を配線に用いているため、耐薬品性に優れ、後工程での製造歩留りの向上が期待でき、AMX方式のLCDパネルの高信頼化も期待できる。

同様に、以上の実施例では、白金によるシリサイド層を用いているが、本発明はこれに限らず実施可能で、とにかく n^+ 層に対してはオーミック接触、 i 層又は n^- 層に対してはショットキ接合を作るものならどのようなシリサイドでもよく、或いは金属を用いてもよいのはいうまでもない。

〔発明の効果〕

以上説明したように、本発明によれば、 n -MOS・TFTのドレイン、ソースに対する配線と、 p -MOS・TFTに対するドレイン、ソースの形成を同時に行なうことができるから、従来技術の問題点に充分に対処でき、AMX方式のLCDパネルに適用して高性能化とローコスト化に充分に寄与することができる。すなわち、一般に、AMX方式のLCDパネルの製造に必要なホトリソ

工程数は4～6回と書かれており、通常のICなどの製造工程と比較した場合、それらの1/3～1/4程度とあまり多くない。

従つて、ホトリソ工程数の減小はたとえ1工程の減小でもコストダウンに大きく寄与し、このため、本発明によるコストダウン効果も充分なものを期待することができる。

4. 図面の簡単な説明

第1図は本発明による薄膜半導体装置の製造方法の一実施例を示すプロセス説明図、第2図及び第3図はそれぞれ第1図のプロセスの一部における半導体素子の状態を示す一部断面による斜視図、第4図は本発明の一実施例による半導体装置の特性図、第5図は本発明の他の一実施例の説明図、第6図はC-MOS・TFTによるインバータ回路の一例を示す回路図、第7図は従来例のプロセス説明図である。

1 …… 絶縁基板、2, 20 …… ポリシリコン領域、9 …… PSG膜、10 …… 配線パターン、11 …… n^+ 層、12 …… ドレイン電極、13 …… ソース電極、14、

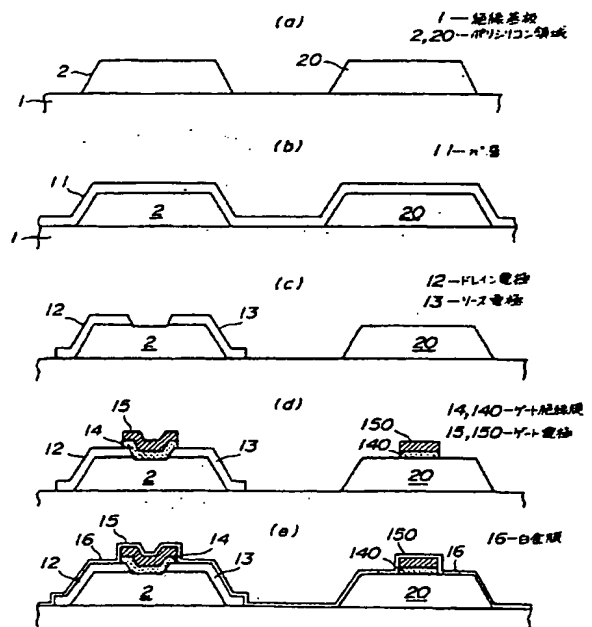
140 …… ゲート絶縁膜、15, 150 …… ゲート電極、

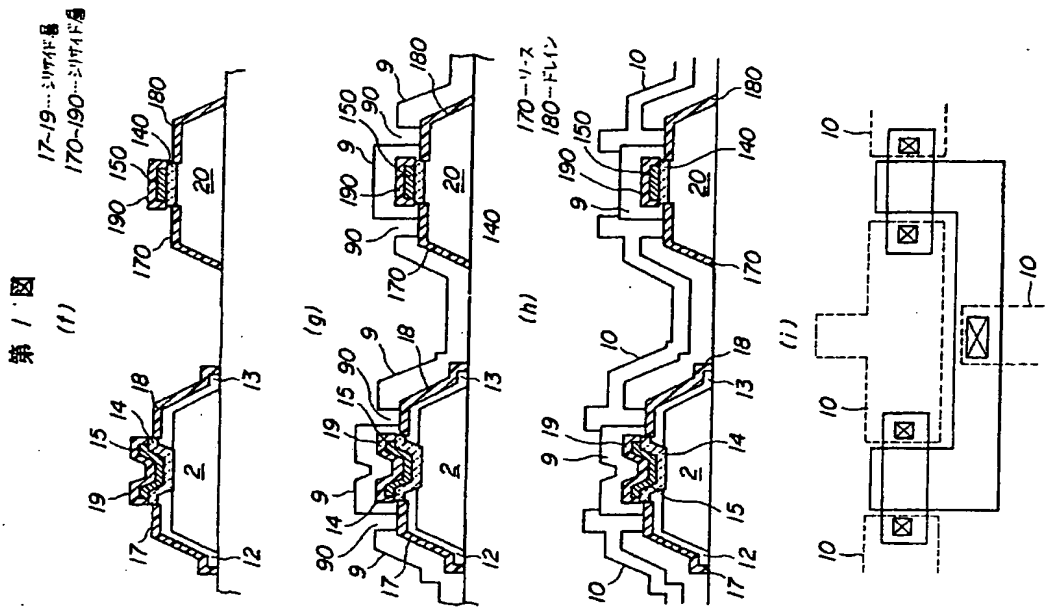
17～19, 170～190 …… シリサイド層。

代理人 弁理士 武 顔次郎 (外1名)

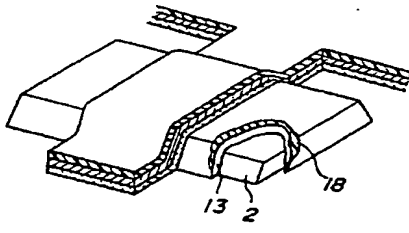


第1図

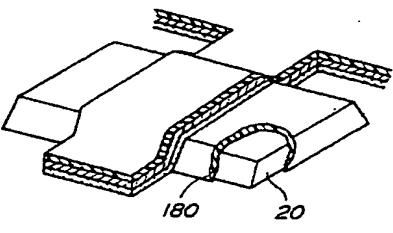




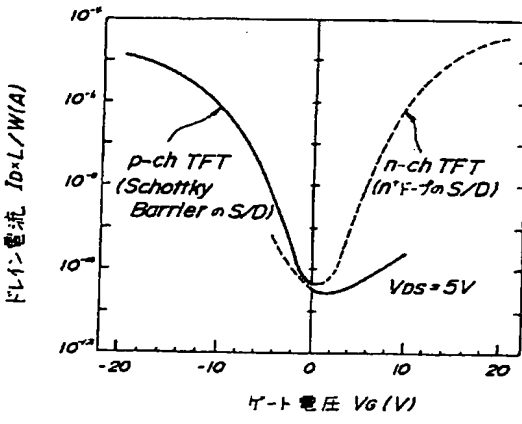
第2図



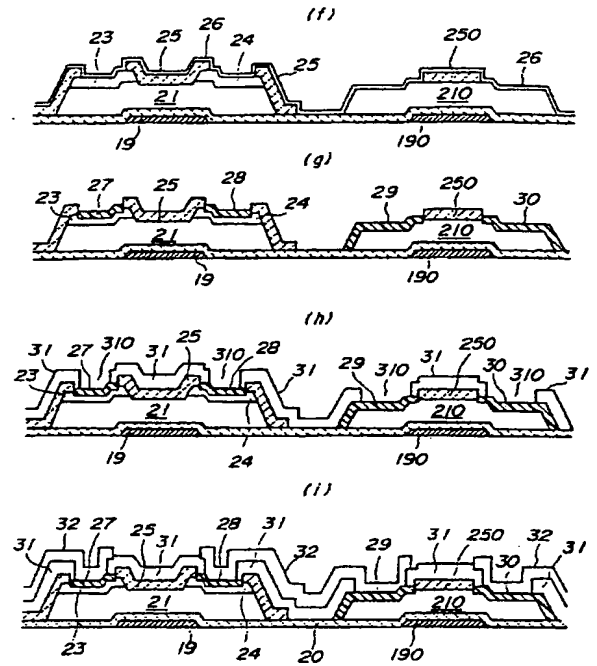
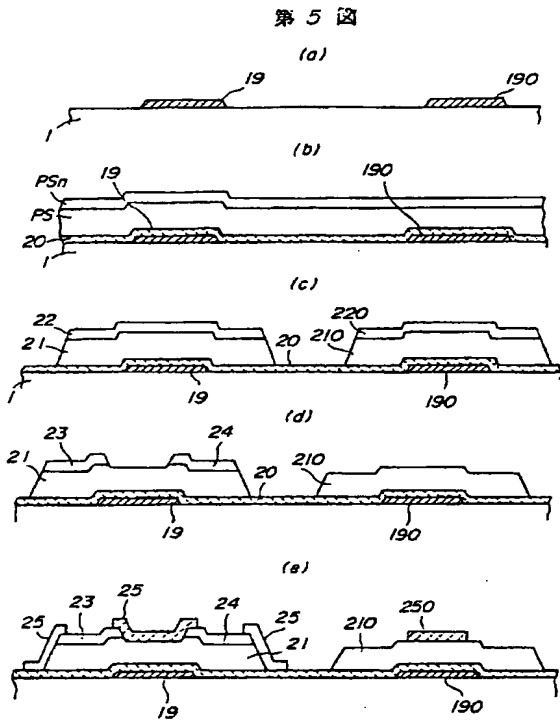
第3図



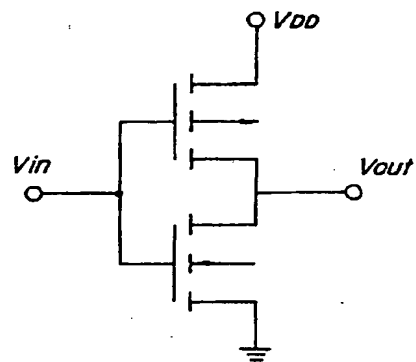
第4図



第 5 図

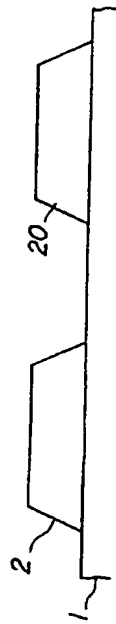


第 6 図

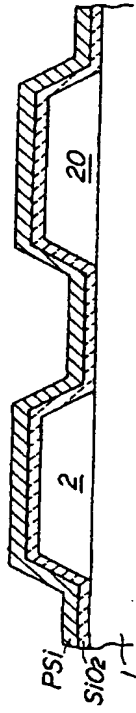


第7図

(a)



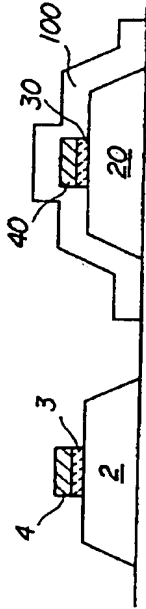
(b)



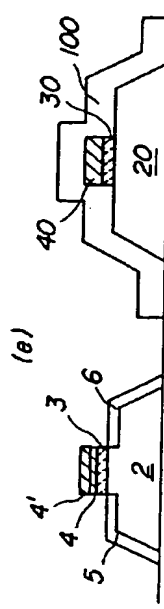
(c)



(d)

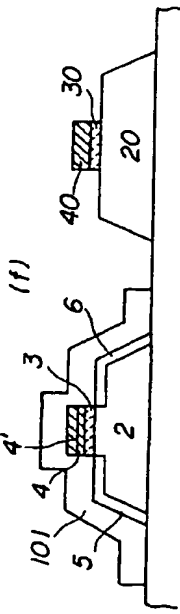


(e)

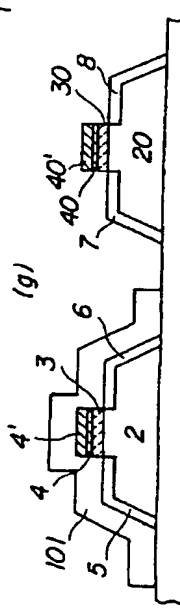


第7図

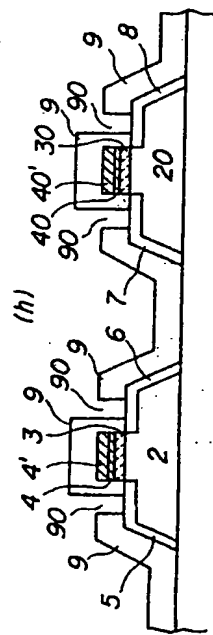
(f)



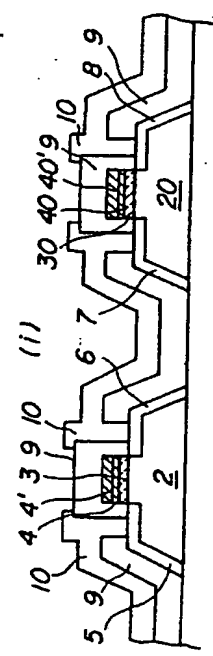
(g)



(h)



(i)



(j)

